

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月20日

出 願 番 号
Application Number:

特願2002-275787

[ST.10/C]:

[JP 2002-275787]

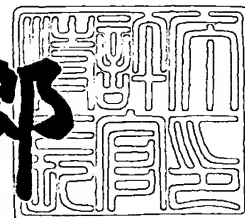
出 願 人
Applicant(s):

沖電気工業株式会社
株式会社 沖マイクロデザイン

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3050482

【書類名】 特許願

【整理番号】 KA003862

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 3/00

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原7083番地 株式会社
沖マイクロデザイン内

【氏名】 田辺 弘久

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原7083番地 株式会社
沖マイクロデザイン内

【氏名】 福▲富▼ 譲二

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原7083番地 株式会社
沖マイクロデザイン内

【氏名】 小田口 宏史

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原7083番地 株式会社
沖マイクロデザイン内

【氏名】 平塚 真史

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 インタフェース回路

【特許請求の範囲】

【請求項 1】 マスタ側として設定された第 1 の装置とスレーブ側として設定された第 2 の装置のそれぞれに設けられ、マスタ側から出力される制御信号に基づいて該第 1 及び第 2 の装置間で相互に直列データ通信を行うインタフェース回路であって、

動作許可信号が与えられたときにデータ通信用の第 1 のクロック信号を生成する第 1 の発振回路と、

前記第 1 のクロック信号が与えられたときに相手側の装置との間で直列データ通信を行う通信機能部と、

前記第 1 のクロック信号よりも低い周波数の第 2 のクロック信号を発振する第 2 の発振回路と、

前記第 2 のクロック信号に基づいて前記制御信号を検出し、該制御信号によってデータ通信状態が指定された時に前記動作許可信号を出力する検出部とを、

備えたことを特徴とするインタフェース回路。

【請求項 2】 前記第 1 の発振回路は水晶発振器で構成し、前記第 2 の発振回路は C R 発振器で構成したことを特徴とする請求項 1 記載のインタフェース回路。

【請求項 3】 前記検出部は、前記第 2 のクロック信号に同期して前記制御信号をシフトして保持するシフトレジスタと、このシフトレジスタに保持された該制御信号の論理和と論理積に従って、該制御信号に含まれる雑音成分を除去するノイズ除去回路とを有することを特徴とする請求項 1 または 2 記載のインタフェース回路。

【請求項 4】 マスタ側として設定された第 1 の装置とスレーブ側として設定された第 2 の装置のそれぞれに設けられ、マスタ側から出力される制御信号に基づいて該第 1 及び第 2 の装置間で相互に直列データ通信を行うインタフェース回路であって、

動作許可信号が与えられたときにデータ通信用のクロック信号を生成する発振

回路と、

前記クロック信号が与えられたときに相手側の装置との間で直列データ通信を行う通信機能部と、

前記制御信号を監視して変化があったときに検出信号を出力する検出部と、
前記検出信号に基づいて前記動作許可信号の制御を行う処理制御部とを、
備えたことを特徴とするインタフェース回路。

【請求項 5】 前記検出部は、前記制御信号の立ち上がりまたは立ち下りのタイミングでセットされる第 1 のフリップフロップと、該第 1 のフリップフロップの出力信号を保持する第 2 のフリップフロップと、該第 2 のフリップフロップの出力信号を所定時間だけ遅延させる遅延ゲートと、該遅延ゲートの出力信号と該第 1 のフリップフロップの出力信号を比較して変化を検出する比較回路とを有することを特徴とする請求項 4 記載のインタフェース回路。

【請求項 6】 前記検出部は、前記処理制御部から前記制御信号の状態に応じて与えられた期待値を保持するレジスタと、前記レジスタに保持された期待値と前記制御信号とを比較して、その比較結果に基づいて前記検出信号を出力する比較回路とを有し、

前記処理制御部は、前記検出信号に応じて前記動作許可信号の制御を行うと共に、該検出信号に応じて前記検出部のレジスタの値を次の制御信号に対する期待値に書き替えるように構成したことを特徴とする請求項 4 記載のインタフェース回路。

【請求項 7】 前記検出部は、前記処理制御部から前記制御信号の状態に応じて与えられる期待値を前記クロック信号に同期して保持するレジスタと、前記レジスタに保持された期待値と前記制御信号とを比較して、その比較結果に基づいて前記検出信号を出力する比較回路とを有し、

前記処理制御部は、前記検出信号に応じて前記動作許可信号の制御を行うと共に、該検出信号に応じて前記検出部のレジスタに次の制御信号に対する期待値を与えるように構成したことを特徴とする請求項 4 記載のインタフェース回路。

【請求項 8】 前記検出部は、前記制御信号中に含まれる短いパルス幅の雑音成分を除去するノイズ除去回路を有することを特徴とする請求項 6 または 7 記

載のインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、OTG (On-The-Go)機能を有するUSB (Universal Serial Bus) インタフェース回路、特にその低消費電力化技術に関するものである。

【0003】

【従来の技術】

USBのOTG機能は、従来のUSB規格では必要不可欠であったホストコンピュータを省略して、周辺機器同士で1対1の直列データ通信を行うための機能である。

【0004】

OTG機能を有するUSBでは、相互にデータ通信を行う2つの周辺機器同士が、D+、D-、VBUS、GNDの4つの信号線を有するケーブルを介して接続される。ケーブルの両端のプラグには、更にID端子が設けられており、一方のプラグ内でID端子がGND信号に接続され、他方のプラグ内のID端子は無接続となっている。各周辺機器は、差し込まれたプラグのID端子がGND信号に接続されていればマスタとして動作し、無接続であればスレーブとして動作するようになっている。

【0005】

OTG機能を有するUSBでは、VBUS信号を利用して周辺機器の低消費電力化を可能としている。即ち、マスタとして設定された周辺機器は、D+、D-信号によって周辺機器同士でデータ通信を行う期間、VBUS信号を“H”レベルに駆動し、通信が不要になったときに、VBUS信号を“L”レベルにする。従って、VBUS信号が“L”のときは通信を実行する必要がないので、通信機能に関連する大部分のロジック回路を停止して、低消費電力モードに移行することができる。

【0006】

但し、低消費電力モードにおいても、I D 信号と V B U S 信号の変化を検出する検出回路を起動させておき、これらの信号の変化を検出した時に、通信機能やマスタ／スレーブ切替機能等のロジック回路を再起動させる必要がある。

【 0 0 0 7 】

従来の O T G 機能を有する U S B インタフェース回路では、マスタ発振器で生成されたクロック信号を分周回路で分周して低周波クロックを生成し、この低周波クロックに基づいて I D 信号と V B U S 信号の変化の有無を周期的に検出するように構成している。そして、信号の変化が検出されたときに、マスタ発振器のクロック信号をロジック回路に供給し、低消費電力モードから抜けるようにしている。なお、U S B インタフェース回路ではないが、例えば、特許文献 1、2 には、低消費電力モードと通常動作モードの切り替えに、同様の構成を用いたものが記載されている。

【 0 0 0 8 】

【特許文献 1】

特開 2 0 0 1 - 2 1 1 2 7 6 号公報

【特許文献 2】

特開 2 0 0 2 - 1 5 2 4 3 9 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、従来の O T G 機能を有する U S B インタフェース回路では、次のような課題があった。

【 0 0 1 0 】

即ち、信号の変化を検出するために、マスタ発振器と分周回路を常に動作させておく必要がある。マスタ発振器のクロック信号は、U S B 規格によって周波数 4 8 M H z、精度 5 0 0 p p m と規定されており、マスタ発振器自体の消費電力が大きいと共に、このクロック信号を分周する分周器の消費電力も大きくなり、低消費電力化に限界があった。

【 0 0 1 1 】

【課題を解決するための手段】

前記課題を解決するために、本発明の請求項 1 ～ 3 に係る発明は、マスタ側として設定された第 1 の装置とスレーブ側として設定された第 2 の装置のそれぞれに設けられて、マスタ側から出力される制御信号に基づいてこの第 1 と第 2 の装置間で相互に直列データ通信を行うインタフェース回路を、動作許可信号が与えられたときにデータ通信用の第 1 のクロック信号を生成する第 1 の発振回路と、第 1 のクロック信号が与えられたときに相手側の装置との間で直列データ通信を行う通信機能部と、第 1 のクロック信号よりも低い周波数の第 2 のクロック信号を発振する第 2 の発振回路と、第 2 のクロック信号に基づいて前記制御信号を検出し、該制御信号によってデータ通信状態が指定された時に前記動作許可信号を出力する検出部とで構成している。

【 0 0 1 2 】

これにより、次のような作用が行われる。

【 0 0 1 3 】

例えば、CR 発振器で構成された第 2 の発振回路によって低周波の第 2 のクロック信号が常時生成され、検出部に与えられる。検出部では、第 2 のクロック信号に従って制御信号の検出が行われ、データ通信状態が指定された時に、検出部から第 1 の発振回路に動作許可信号が出力される。第 1 の発振回路では、例えば水晶発振器によって、通信用の高周波の第 1 のクロック信号が生成され、通信機能部に与えられる。これにより、相手側の装置との間で、相互にデータ通信が行われる。

【 0 0 1 4 】

本発明の請求項 4 ～ 8 に係る発明は、マスタ側として設定された第 1 の装置とスレーブ側として設定された第 2 の装置のそれぞれに設けられて、マスタ側から出力される制御信号に基づいて、この第 1 と第 2 の装置間で相互に直列データ通信を行うインタフェース回路を、動作許可信号が与えられたときにデータ通信用のクロック信号を生成する発振回路と、このクロック信号が与えられたときに相手側の装置との間で直列データ通信を行う通信機能部と、制御信号を監視して変化があったときに検出信号を出力する検出部と、この検出信号に基づいて動作許可信号の制御を行う処理制御部とで構成している。

【 0 0 1 5 】

これにより、次のような作用が行われる。

【 0 0 1 6 】

検出部によって制御信号が監視され、その変化が検出されると、この検出部から処理制御部に検出信号が出力される。処理制御部では、検出信号に基づいて発振回路に対する動作許可信号の制御が行われる。これにより、制御信号によってデータ通信が指定されたときに発振回路が動作し、データ通信用のクロック信号が生成されて通信機能部に与えられる。また、データ通信が指定されないときは、発振回路の動作が停止されて通信機能部の動作も停止する。

【 0 0 1 7 】

【発明の実施の形態】

【 0 0 1 8 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態を示す U S B インタフェース回路の構成図である。

【 0 0 1 9 】

この U S B インタフェース回路は O T G 対応のもので、ケーブルを介して相手側の周辺機器に接続するための端子 1 ～ 5 を有している。端子 1 は、マスタ／スレーブを指定するための信号 I D が与えられるもので、接地電位 G N D が与えられた時にマスタ、接地電位 G N D が与えられていない時には、スレーブが指定されるようになっている。

【 0 0 2 0 】

端子 2 は、データ通信の有無を指定する信号 V B U S を送受信するもので、データ通信が行われるときに、マスタ側から “ H ” の信号 V B U S を出力し、スレーブ側では信号 V B U S を受信してデータ通信の有無を判定するようになっている。なお、この図では、端子 1 に対するプルアップ回路と、端子 2 に対する信号 V B U S の出力回路は省略している。

【 0 0 2 1 】

端子 3 は、対向する周辺機器同士に共通する接地電位 G N D を伝えるもので、

端子 4, 5 は、周辺機器間のデータ信号 D +, D - を送受信するためのものである。

【 0 0 2 2 】

端子 1, 2 は、検出部 1 0 に接続されている。検出部 1 0 は、同一構成のノイズ除去回路 2 0 a, 2 0 b と、2 種類の変化検出回路 3 0, 4 0 を有している。ノイズ除去回路 2 0 a, 2 0 b は、それぞれ端子 1, 2 から与えられる信号 I D, V B U S の雑音成分を除去し、雑音の無い信号 I D C, V B C を出力するものである。

【 0 0 2 3 】

変化検出回路 3 0 は、信号 I D C の立ち上がりと立ち下がりの変化を検出して検出信号 I D D を出力するものである。一方、変化検出回路 4 0 は、信号 V B C の立ち上がりの変化を検出して検出信号 V B D を出力するものである。

【 0 0 2 4 】

ノイズ除去回路 2 0 a, 2 0 b と変化検出回路 3 0, 4 0 には、その動作のために、C R 発振回路 5 0 から 1 0 0 k H z 程度のクロック信号 C L K が与えられるようになっている。また、ノイズ除去回路 2 0 b から出力される信号 V B C は、水晶発振回路 6 0 に対する動作許可信号 E N B として与えられるようになっている。

【 0 0 2 5 】

水晶発振回路 6 0 は、例えば第 1 の入力側に動作許可信号 E N B が与えられる 2 入力の否定的論理積ゲート（以下、「N A N D」という）6 1 と、この N A N D 6 1 の出力側と第 2 の入力側の間で帰還回路を構成する抵抗 6 2, 6 3 及びキャパシタ 6 4, 6 5 と、発振周波数を規定する水晶振動子 6 6 とで構成されている。この水晶発振回路 6 0 では、動作許可信号 E N B が与えられたときに、周波数 4 8 M H z、精度 5 0 0 p p m のクロック信号 C K が出力されるようになっている。

【 0 0 2 6 】

検出部 1 0 から出力される検出信号 I D D, V B D は、処理制御部 7 0 に与えられるようになっている。処理制御部 7 0 は、周辺装置全体の制御を行うと共に

、検出信号IDD、VBDに基づいてマスタ／スレーブの切り替えや、データ通信における送受信の切り替え制御を行うものである。

【0027】

一方、水晶発振回路60から出力されるクロック信号CKは、通信機能部80に与えられるようになっている。通信機能部80は、クロック信号CKに基づいて、端子4、5のデータ信号D+、D-の送受信、送受信データの直列／並列変換、及び処理制御部70との間でのデータ転送等の処理を行うものである。

【0028】

図2(a)～(d)は、図1中の各回路の一例を示す回路図である。

【0029】

ノイズ除去回路20は、図2(a)に示すように、信号ID、VBUSをクロック信号CLKに同期して順次シフトして保持する縦続接続された3段のフリップフロップ(以下、「FF」という)21～23を有している。FF21～23の出力側は、3入力の論理積ゲート(以下、「AND」という)24と、3入力の否定的論理和ゲート(以下、「NOR」という)25に接続されている。更に、AND24とNOR25の出力側は、JK型のFF26の入力端子J、Kに、それぞれ接続されている。そして、FF26の出力側から、信号IDC、VBCが出力されるようになっている。

【0030】

このようなノイズ除去回路20では、信号ID、VBUSがクロック信号CLKに同期してFF21～23に順次シフトして保持される。FF21～23に保持された信号が連続して“H”であれば、AND24の出力信号が“H”となり、FF26がセットされて“H”の信号IDC、VBCが出力される。また、FF21～23に保持された信号が連続して“L”であれば、NOR25の出力信号が“H”となり、FF26がリセットされて“L”の信号IDC、VBCが出力される。これにより、一時的にレベルが変動するような瞬間的な雑音が除去され、雑音の無い安定した信号IDC、VBCが得られるようになっている。

【0031】

変化検出回路30は、図2(b)に示すように、信号IDCをクロック信号C

CLKに同期して順次シフトして保持する2段のFF31, 32と、これらのFF31, 32の出力側に接続された否定的論理和ゲート（以下、「EOR」という）33とで構成されている。これにより、信号IDCが変化したとき、即ち、FF31, 32の保持内容が異なるときに、EOR33から“H”の検出信号IDDが出力され、信号IDCが変化しないときには“L”の検出信号IDDが出力されるようになっている。

【0032】

変化検出回路40は、図2（c）に示すように、信号VBCをクロック信号CLKに同期して順次シフトして保持する2段のFF41, 42と、これらのFF41, 42の出力側に接続された論理ゲート43とで構成されている。論理ゲート43は、FF41, 42の出力信号がそれぞれ“H”, “L”のときにのみ、“H”の信号を出力するものである。これにより、信号VBCが立ち上がったタイミングが検出され、“H”の検出信号VBDが出力されるようになっている。

【0033】

CR発振回路50は、図2（d）に示すように、縦続接続された5個のインバータ51～55と、このインバータ55の出力側とインバータ51の入力側を接続する抵抗56及びキャパシタ57による積分回路を有している。更に、インバータ53の出力側には出力バッファを構成するインバータ58が接続され、このインバータ58の出力側から、100kHz程度の低速のクロック信号CLKが出力されるようになっている。

【0034】

次に、動作を説明する。

【0035】

電源が投入され、図示しないリセット信号によって各部が初期状態に設定されると、処理制御部70による周辺装置全体の処理が開始される。またCR発振回路50が動作を開始して100kHzのクロック信号CLKが検出部10に与えられる。

【0036】

検出部10では、ノイズ除去回路20a, 20bによって端子1, 2に与えら

れる信号 I D, V B U S の雑音が除去され、信号 I D C, V B C が生成されて変化検出部 3 0, 4 0 にそれぞれ与えられる。また、信号 V B C は、動作許可信号 E N B として水晶発振回路 6 0 に与えられる。

【 0 0 3 7 】

ここで信号 I D が “ L ” であれば、処理制御部 7 0 ではマスタ側の周辺装置としての処理を行うように設定される。また、信号 I D が “ H ” であれば、処理制御部 7 0 はスレーブ側の周辺装置としての処理を行うように設定される。この信号 I D は、周辺装置間を接続するケーブルをつなぎ変えない限り、変化しない。

【 0 0 3 8 】

一方、信号 V B U S は、マスタ側として設定された周辺装置によって、データ通信の有無に応じて、随時切り替えられる。

【 0 0 3 9 】

信号 V B U S が “ H ” であると、ノイズ除去回路 2 0 b から出力される信号 V B C も “ H ” となり、水晶発振回路 6 0 の動作が開始される。水晶発振回路 6 0 から出力された 4 8 M H z のクロック信号 C K 2 は、通信機能部 8 0 に与えられる。これにより、通信機能部 8 0 が動作状態となり、端子 4, 5 を介して相手側の周辺装置との間で、データ信号 D +, D - によるデータ通信が行われる。

【 0 0 4 0 】

次に、信号 V B U S が “ L ” に変化すると、ノイズ除去回路 2 0 b から出力される信号 V B C も “ L ” となり、水晶発振回路 6 0 に対する動作許可信号 E N B が “ L ” となる。これにより、水晶発振回路 6 0 のクロック信号 C K が停止し、通信機能部 8 0 も停止状態となる。

【 0 0 4 1 】

更に、信号 V B U S が “ H ” に変化すると、ノイズ除去回路 2 0 b から出力される信号 V B C も “ H ” となり、水晶発振回路 6 0 に対する動作許可信号 E N B が “ H ” となる。これにより、水晶発振回路 6 0 の動作が再開され、クロック信号 C K が通信機能部 8 0 に与えられる。

【 0 0 4 2 】

一方、信号 V B C の立ち上りは、変化検出回路 4 0 によって検出され、変化検

出信号 V B D が処理制御部 7 0 に与えられる。これにより、処理制御部 7 0 と通信機能部 8 0 により、相手側の周辺装置との間でのデータ通信が再開される。このように、信号 V B U S の変化に応じて、上記のような動作が繰り返される。

【 0 0 4 3 】

以上のように、この第 1 の実施形態の U S B インタフェース回路では、検出回路 1 0 の動作に必要な低速のクロック信号 C L K を常時生成する C R 発振回路 5 0 と、この検出回路 1 0 で “H” の信号 V B U S が検出された時にのみ、データ通信に必要な高速のクロック信号 C K を生成する水晶発振回路 6 0 を有している。高周波の水晶発振回路 6 0 の消費電流は、例えば 3 m A 程度であり、これに対して低周波の C R 発振回路 5 0 の消費電流は、例えば 8 μ A 程度である。従って、本実施形態によれば、データ通信を行っていない時の消費電力を低減することができるという利点がある。

【 0 0 4 4 】

また、信号 V B U S のノイズを除去して、ノイズの無い信号 V B C を生成するノイズ除去回路 2 0 b を有しているのも、信号 V B U S 上の雑音に影響されずに安定したデータ通信が可能になるという利点がある。

【 0 0 4 5 】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態を示す U S B インタフェース回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 4 6 】

この U S B インタフェース回路は、図 1 中の C R 発振回路 5 0 を削除すると共に、検出部 1 0 に代えてエッジ検出回路 9 0 a, 9 0 b を設け、処理制御部 7 0 に代えて機能の異なる処理制御部 7 0 A を設けている。

【 0 0 4 7 】

エッジ検出回路 9 0 a, 9 0 b は、それぞれ信号 I D, V B U S の変化を検出するもので、回路構成は同一である。

【 0 0 4 8 】

例えば、エッジ検出回路 9 0 a は、データ端子が “H” に固定され、信号 I D

がクロック端子に与えられる F F 9 1 を有している。F F 9 1 の出力端子は F F 9 2 のクロック端子に接続されると共に、A N D 9 4 の一方の入力側に接続されている。F F 9 2 の反転出力端子は、この F F 9 2 のデータ端子に戻されると共に、遅延ゲート 9 3 を介して A N D 9 4 の他方の入力側に接続されている。

【 0 0 4 9 】

更に、信号 I D は、データ端子が “H” に固定された F F 9 5 の反転クロック端子に与えられている。F F 9 5 の出力端子は F F 9 6 のクロック端子に接続されると共に、A N D 9 8 の一方の入力側に接続されている。F F 9 6 の反転出力端子は、この F F 9 6 のデータ端子に戻されると共に、遅延ゲート 9 7 を介して A N D 9 8 の他方の入力側に接続されている。

【 0 0 5 0 】

A N D 9 4 , 9 8 の出力側は、N O R 9 9 の入力側に接続され、この N O R 9 9 の出力側から検出信号 I D D が出力されて、処理制御部 7 0 A に与えられるようになっている。また、F F 9 1 , 9 2 , 9 5 , 9 6 のリセット端子には、処理制御部 7 0 A からリセット信号 R S T が与えられるようになっている。

【 0 0 5 1 】

同様に、エッジ検出回路 9 0 b には信号 V B U S が与えられ、この信号 V B U S の変化に応じて検出信号 V B D が出力され、処理制御部 7 0 A に与えられるようになっている。

【 0 0 5 2 】

一方、制御処理部 7 0 A は、図 1 中の処理制御部 7 0 と同様に周辺装置全体の制御を行うと共に、検出信号 I D D , V B D に基づいてマスタ／スレーブの切り替えやデータ送受信の切り替え制御を行うものである。また、処理制御部 7 0 A は、エッジ検出回路 9 0 a , 9 0 b から与えられる検出信号 I D D , V B D に基づいて、水晶発振回路 6 0 に対する動作許可信号 E N B を制御する機能を有している。その他の構成は、図 1 と同様である。

【 0 0 5 3 】

図 4 は、図 3 の動作を示すタイムチャートである。以下、この図 4 を参照しつつ、図 3 における水晶発振回路 6 0 の動作を主体に説明する。

【 0 0 5 4 】

電源投入により、処理制御部 7 0 A から “H” の動作許可信号 E N B が出力され、水晶発振回路 6 0 の発振動作が開始される。

【 0 0 5 5 】

図 4 の時刻 T 1 において、処理制御部 7 0 A から出力されるリセット信号 R S T が “L” になると、エッジ検出回路 9 0 a, 9 0 b 内の各 F F 9 1, 9 2, 9 5, 9 6 はリセットされ、これらの出力信号 S 9 1, S 9 5 等は “L” となる。出力信号 S 9 1, S 9 5 等は、リセット信号 R S T が解除されて “H” になった後も、そのまま保持される。従って、エッジ検出回路 9 0 b の検出信号 V B D は “H” であり、処理制御部 7 0 A から、“H” の動作許可信号 E N B が継続して出力される。これにより、水晶発振回路 6 0 のクロック信号 C K が通信機能部 8 0 に与えられ、この通信機能部 8 0 が動作状態となり、端子 4, 5 を介して相手側の周辺装置との間でデータ通信が行われる。

【 0 0 5 6 】

時刻 T 2 において、信号 V B U S が “L” に変化すると、F F 9 5 の出力信号 S 9 5 が “H” に変化する。これにより、F F 9 6、遅延ゲート 9 7 及び A N D 9 8 によるパルス回路で、この遅延ゲート 9 7 の遅延時間に相当するパルス幅 P W の信号 S 9 8 が生成される。信号 S 9 8 は、N O R 9 9 を介して検出信号 V B D として処理制御部 7 0 A に与えられる。処理制御部 7 0 A では、検出信号 V B D に基づいて、水晶発振回路 6 0 に対する動作許可信号 E N B を “L” にする。これにより、水晶発振回路 6 0 の動作が停止される。

【 0 0 5 7 】

時刻 T 3 において、信号 V B U S が “H” に変化すると、F F 9 1 の出力信号 S 9 1 が “H” に変化する。これにより、F F 9 2、遅延ゲート 9 3 及び A N D 9 4 によるパルス回路で、この遅延ゲート 9 3 の遅延時間に相当するパルス幅 P W の信号 S 9 4 が生成される。信号 S 9 4 は、N O R 9 9 を介して検出信号 V B D として処理制御部 7 0 A に与えられる。処理制御部 7 0 A では、検出信号 V B D に基づいて、水晶発振回路 6 0 に対する動作許可信号 E N B を “H” にする。これにより、水晶発振回路 6 0 の動作が再開される。

【 0 0 5 8 】

時刻 T 4 において、処理制御部 7 0 A からリセット信号 R S T が出力され、時刻 T 1 と同じ状態にセットされる。以降、端子 2 の信号 V B U S の変化に応じて、上記のような動作が繰り返され、水晶発振回路 6 0 の動作が制御される。

【 0 0 5 9 】

以上のように、この第 2 の実施形態の U S B インタフェース回路は、信号 V B U S の変化を検出したときに、一定のパルス幅を検出信号 V B D を出力するエッジ検出回路 9 0 b を有している。これにより、第 1 の実施形態のように信号 V B U S の変化を検出するために低周波のクロック信号 C L K を常時発振するための C R 発振回路が不要になり、データ通信を行っていない時の消費電力を、更に低減することができるという利点がある。

【 0 0 6 0 】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態を示す U S B インタフェース回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 6 1 】

この U S B インタフェース回路は、図 1 中の C R 発振回路 5 0 を削除すると共に、検出部 1 0 と処理制御部 7 0 に代えて機能の異なる検出部 1 0 A と処理制御部 7 0 B を設けている。

【 0 0 6 2 】

検出部 1 0 A は、処理制御部 7 0 B から与えられる書込信号 W R に従って、同じく処理制御部 7 0 B から与えられる期待値 E X 1, E X 2 をそれぞれ保持する F F 1 1, 1 2 を有している。F F 1 1 の出力側は、比較回路を構成する E O R 1 3 に接続され、端子 1 に入力される信号 I D と比較されるようになっている。また、F F 1 2 の出力側は、比較回路を構成する E O R 1 4 に接続され、端子 2 に入力される信号 V B U S と比較されるようになっている。E O R 1 3, 1 4 から出力される検出信号 I D D, V B D は、処理制御部 7 0 B に与えられるようになっている。

【 0 0 6 3 】

処理制御部 7 0 B は、図 1 中の処理制御部 7 0 と同様に周辺装置全体の制御を行うと共に、検出信号 I D D, V B D に基づいてマスタ／スレーブの切り替えやデータ送受信の切り替え制御を行うものである。また、処理制御部 7 0 B は、検出部 1 0 A から与えられる検出信号 I D D, V B D に基づいて、水晶発振回路 6 0 に対する動作許可信号 E N B を制御する機能を有している。更に、処理制御部 7 0 B は、信号 I D, V B U S の次の変化検出に備えて、検出部 1 0 A 内の F F 1 1, 1 2 の内容を書き替えるための書込信号 W R と期待値 E X 1, E X 2 を出力する機能を有している。その他の構成は、図 1 と同様である。

【 0 0 6 4 】

図 6 は、図 5 の動作を示すタイムチャートである。以下、この図 6 を参照しつつ、図 5 における水晶発振回路 6 0 の動作を主体に説明する。

【 0 0 6 5 】

電源投入により、処理制御部 7 0 B から“H”の動作許可信号 E N B が出力され、水晶発振回路 6 0 の発振動作が開始される。

【 0 0 6 6 】

図 6 の時刻 T 1 1 において、処理制御部 7 0 B から出力されるリセット信号 R S T が“L”になると、F F 1 1, 1 2 から出力される信号 S 1 1, S 1 2 は“L”となり、このリセット信号 R S T が解除されて“H”になった後も、そのまま保持される。この時、信号 V B U S が“H”であれば、E O R 1 4 から出力される検出信号 V B D は“H”であり、処理制御部 7 0 B から、“H”の動作許可信号 E N B が継続して出力される。これにより、水晶発振回路 6 0 のクロック信号 C K が通信機能部 8 0 に与えられ、この通信機能部 8 0 が動作状態となり、端子 4, 5 を介して相手側の周辺装置との間でデータ通信が行われる。

【 0 0 6 7 】

時刻 T 1 2 において、端子 2 の信号 V B U S が“L”に変化すると、E O R 1 4 から出力される検出信号 V B D が“L”になる。これにより、処理制御部 7 0 B では、データ通信の停止に応じた処理が行われる。

【 0 0 6 8 】

時刻 T 1 3 において、処理制御部 7 0 B から次の期待値 E X 2 としての“H”

と共に、“L”の書込信号WRが出力される。

【0069】

そして、時刻T14における書込信号WRの立ち上がりにより、FF12に期待値EX2が保持され、信号S12は“H”となる。これにより、EOR14から出力される検出信号VBDは“H”に戻る。更に、処理制御部70Bから水晶発振回路60を停止させるために、“L”の動作許可信号ENBが出力される。これにより、水晶発振回路60のクロック信号CKが停止し、通信機能部80も停止状態となる。

【0070】

時刻T15において、信号VBUSが“H”に変化すると、EOR14から出力される検出信号VBDが“L”になる。これにより、処理制御部70Bでは、データ通信の開始に応じた処理が行われ、“H”の動作許可信号ENBが出力される。これにより、水晶発振回路60の動作が再開され、クロック信号CKが通信機能部80に与えられる。そして、通信機能部80が動作状態となり、端子4、5を介して相手側の周辺装置との間でデータ通信が再開される。

【0071】

時刻T16において、処理制御部70Bから次の期待値EX2としての“L”と共に、“L”の書込信号WRが出力される。

【0072】

そして、時刻T17における書込信号WRの立ち上がりにより、FF12に期待値EX2が保持され、信号S12は“L”となる。これにより、EOR14から出力される検出信号VBDは“H”に戻る。

【0073】

以降、端子2の信号VBUSの変化に応じて、上記のような動作が繰り返され、水晶発振回路60の動作が制御される。

【0074】

以上のように、この第3の実施形態のUSBインタフェース回路では、処理制御部70Bによって書き込まれた期待値EX2と信号VBUSを比較することによって、この信号VBUSの変化を検出する検出部10Aと、この検出部10A

の検出信号VBDに基づいて水晶発振回路60の動作を制御する処理制御部70Bを有している。これにより、第2の実施形態と同様の利点がある。

【0075】

(第4の実施形態)

図7は、本発明の第4の実施形態を示すUSBインタフェース回路の構成図であり、図5中の要素と共通の要素には共通の符号が付されている。

【0076】

このUSBインタフェース回路は、図5中の処理制御部70Bに代えて処理内容が若干異なる処理制御部70Cを設けたものである。即ち、処理制御部70Cは検出部10Aに対して書込信号WRを出力する機能が削除されている。そして、検出部10AのFF11, 12のクロック端子Cには、水晶発振回路60からクロック信号CKが与えられるようになっている。その他の構成は、図5と同様である。

【0077】

図8は、図7の動作を示すタイムチャートである。以下、この図8を参照しつつ、図7における水晶発振回路60の動作を主体に説明する。

【0078】

電源投入により、処理制御部70Cから“H”の動作許可信号ENBが出力され、水晶発振回路60の発振動作が開始される。

【0079】

図8の時刻T21において、処理制御部70Cから出力されるリセット信号RSTにより、FF11, 12から出力される信号S11, S12は“L”となる。この時、信号VBUSが“H”であれば、EOR14から出力される検出信号VBDは“H”であり、処理制御部70Cから、“H”の動作許可信号ENBが継続して出力される。これにより、水晶発振回路60の動作は継続される。

【0080】

時刻T22において、端子2の信号VBUSが“L”に変化すると、EOR14から出力される検出信号VBDが“L”になる。これにより、処理制御部70Cでは、データ通信の停止に応じた処理が行われる。

【 0 0 8 1 】

時刻 T 2 3 において、処理制御部 7 0 C から次の期待値 E X 2 として “H” が出力される。これにより、時刻 T 2 4 におけるクロック信号 C K の立ち上がりにより、F F 1 2 に期待値 E X 2 が保持され、信号 S 1 2 は “H” となり、E O R 1 4 から出力される検出信号 V B D は “H” に戻る。更に、処理制御部 7 0 C から水晶発振回路 6 0 を停止させるために、“L” の動作許可信号 E N B が出力される。これにより、水晶発振回路 6 0 の動作が停止する。

【 0 0 8 2 】

時刻 T 2 5 において、信号 V B U S が “H” に変化すると、E O R 1 4 から出力される検出信号 V B D が “L” となり、処理制御部 7 0 C から “H” の動作許可信号 E N B が出力され、水晶発振回路 6 0 の動作が再開される。

【 0 0 8 3 】

時刻 T 2 6 において、処理制御部 7 0 C から次の期待値 E X 2 として “L” が出力される。これにより、時刻 T 2 7 におけるクロック信号 C K の立ち上がりにより、F F 1 2 に期待値 E X 2 が保持され、信号 S 1 2 は “L” となる。これにより、E O R 1 4 から出力される検出信号 V B D は “H” に戻る。

【 0 0 8 4 】

以降、端子 2 の信号 V B U S の変化に応じて、上記のような動作が繰り返され、水晶発振回路 6 0 の動作が制御される。

【 0 0 8 5 】

以上のように、この第 4 の実施形態の U S B インタフェース回路では、第 3 の実施形態と同様の利点がある。

【 0 0 8 6 】

(第 5 の実施形態)

図 9 は、本発明の第 5 の実施形態を示す検出部の構成図である。

【 0 0 8 7 】

この検出部 1 0 B は、図 7 中の検出部 1 0 A に代えて設けられるもので、検出部 1 0 A の前段にノイズ除去回路 1 0 0 a, 1 0 0 b を付加したものである。ノイズ除去回路 1 0 0 a, 1 0 0 b は、それぞれ信号 I D, V B U S のノイズを除

去するもので、回路構成は同一である。

【0088】

ノイズ除去回路100aは、信号IDと遅延ゲート101で遅延された信号IDが与えられるAND102と、この信号IDと遅延ゲート103で遅延された信号IDが与えられる論理和ゲート（以下、「OR」という）104を有している。

【0089】

AND102の出力側は、論理ゲート105の第1の入力側に接続されている。論理ゲート105は、第1の入力側に“H”が入力され、第2の入力側に“L”が入力されたときにのみ、“H”を出力するもので、この第2の入力側に、FF11から出力される信号S11が期待値として与えられる。また、OR104の出力側は、AND106の第1の入力側に接続され、このAND106の第2の入力側には、信号S11が期待値として与えられる。

【0090】

論理ゲート105とAND106の出力側は、OR107の入力側に接続され、このOR107の出力側にノイズが除去された信号IDが出力されて、NOR13に与えられるようになっている。

【0091】

このノイズ除去回路100aでは、期待値（S11）が“L”の時、遅延ゲート101の遅延時間よりも短い“L”の入力パルスは、この遅延ゲート101、AND102及び論理ゲート105によって除去されるようになっている。また、期待値が“H”の時には、“H”の入力パルスは、パルス幅に関係なくOR104とAND105によって検出されるようになっている。これにより、ノイズによって、誤って水晶発振回路60の動作が停止されることが防止される。

【0092】

その他の構成及び動作は、第4の実施形態と同様である。

【0093】

以上のように、この第5の実施形態の検出部10Bは、信号ID、VBUSに重畳された短時間の“L”の雑音を除去するノイズ除去回路100a、100b

を有している。これにより、ノイズによる誤動作を防止することができるという利点がある。

【 0 0 9 4 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【 0 0 9 5 】

(a) O T G機能を有するU S Bインタフェース回路について説明したが、データ通信の有無を指定する制御信号に基づいて、通信用のクロック信号を生成する発振回路を有するインタフェース回路に適用することができる。

【 0 0 9 6 】

(b) ノイズ除去回路、変化検出回路、検出部、エッジ検出回路、及び発振回路等の各回路の具体的構成は、例示したものに限定されない。

【 0 0 9 7 】

【発明の効果】

以上詳細に説明したように、第1～第3の発明によれば、第2の発振回路で生成される低周波の第2のクロック信号によって制御信号を検出する検出部と、この制御信号によってデータ通信が指定されたときに、データ通信用の第1のクロック信号を生成して通信機能部に与える第1の発振回路を有している。これにより、非通信時に第1の発振回路と通信機能部の動作が停止されるので、非通信時の消費電力を低減することができる。

【 0 0 9 8 】

第4～第8の発明によれば、制御信号の変化を検出する検出部と、この制御信号の変化に基づいて発振回路に対する動作許可信号の制御を行う処理制御部を有している。これにより、非通信時には発振回路と通信機能部の動作が停止されるので、非通信時の消費電力を更に低減することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すU S Bインタフェース回路の構成図である。

【図2】

図 1 中の各回路の一例を示す回路図である。

【図 3】

本発明の第 2 の実施形態を示す U S B インタフェース回路の構成図である。

【図 4】

図 3 の動作を示すタイムチャートである。

【図 5】

本発明の第 3 の実施形態を示す U S B インタフェース回路の構成図である。

【図 6】

図 5 の動作を示すタイムチャートである。

【図 7】

本発明の第 4 の実施形態を示す U S B インタフェース回路の構成図である。

【図 8】

図 7 の動作を示すタイムチャートである。

【図 9】

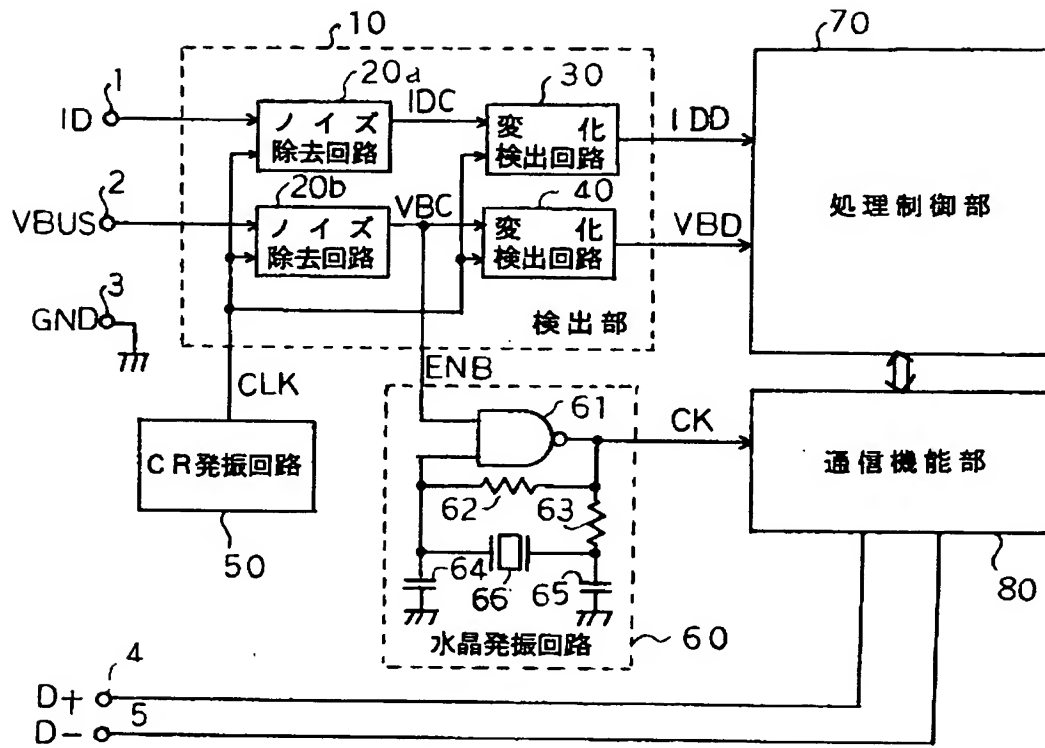
本発明の第 5 の実施形態を示す検出部の構成図である。

【符号の説明】

- 1 0 検出部
- 2 0, 1 0 0 ノイズ除去回路
- 3 0, 4 0 変化検出回路
- 5 0 C R 発振回路
- 6 0 水晶発振回路
- 7 0 処理制御部
- 8 0 通信機能部
- 9 0 エッジ検出回路

【書類名】 図面

【図 1】



本発明の第 1 の実施形態の U S B インタフェース回路

【図 2】

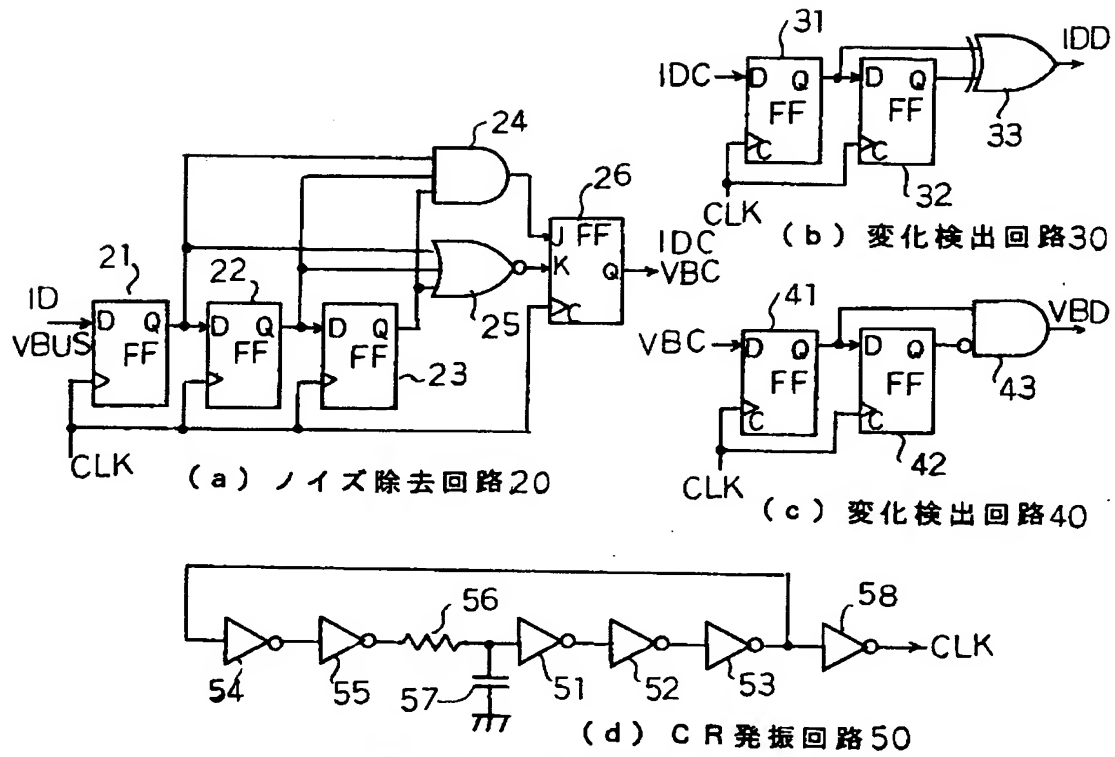
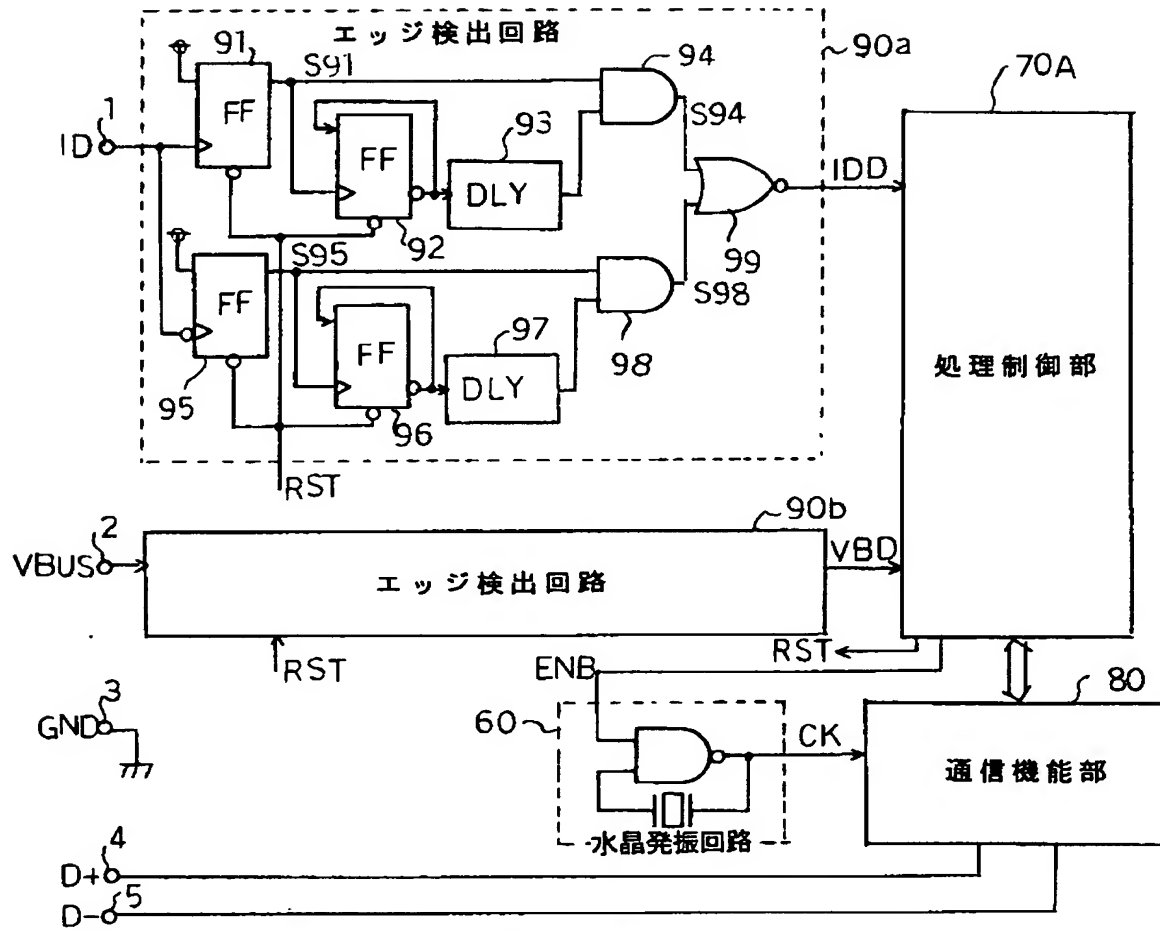


図 1 中の各回路

【図 3】



本発明の第 2 の実施形態の USB インタフェース回路

【図 4】

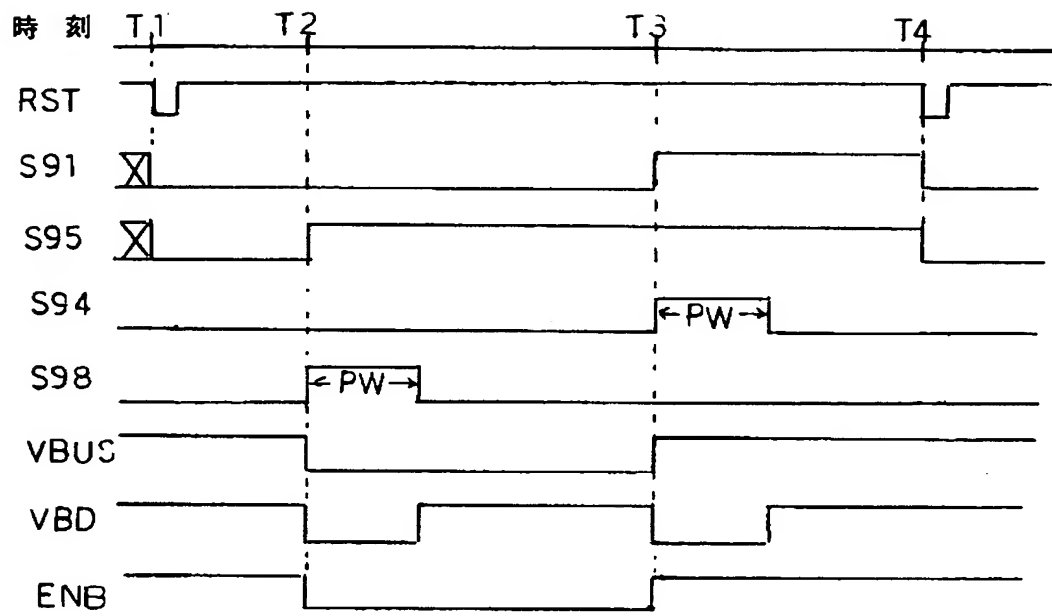
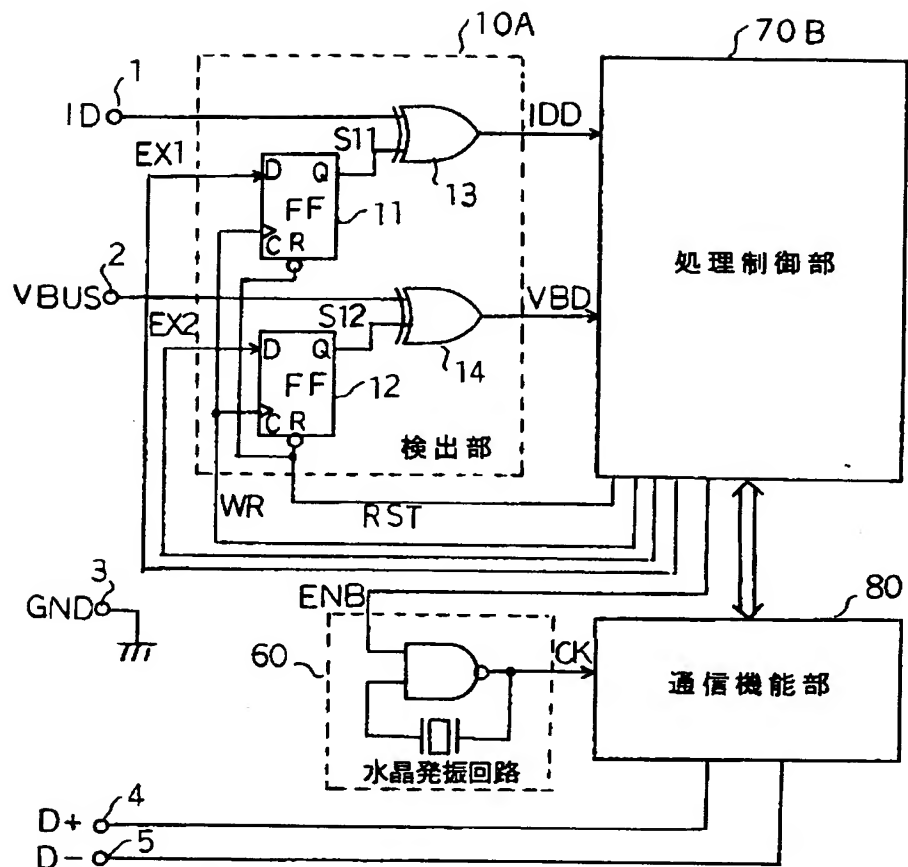


図 3 の動作

【図 5】



本発明の第 3 の実施形態の USB インタフェース回路

【図 6】

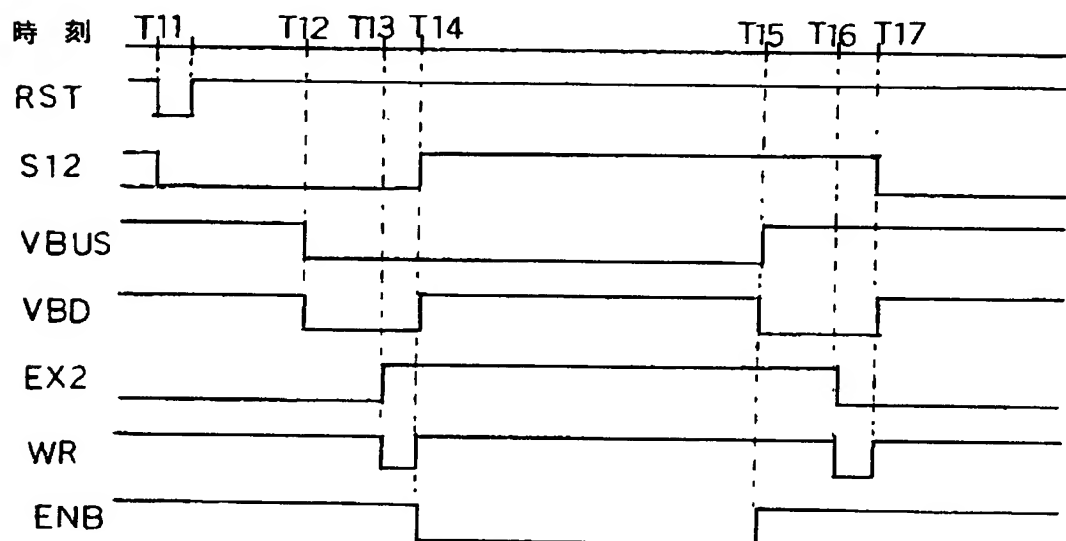
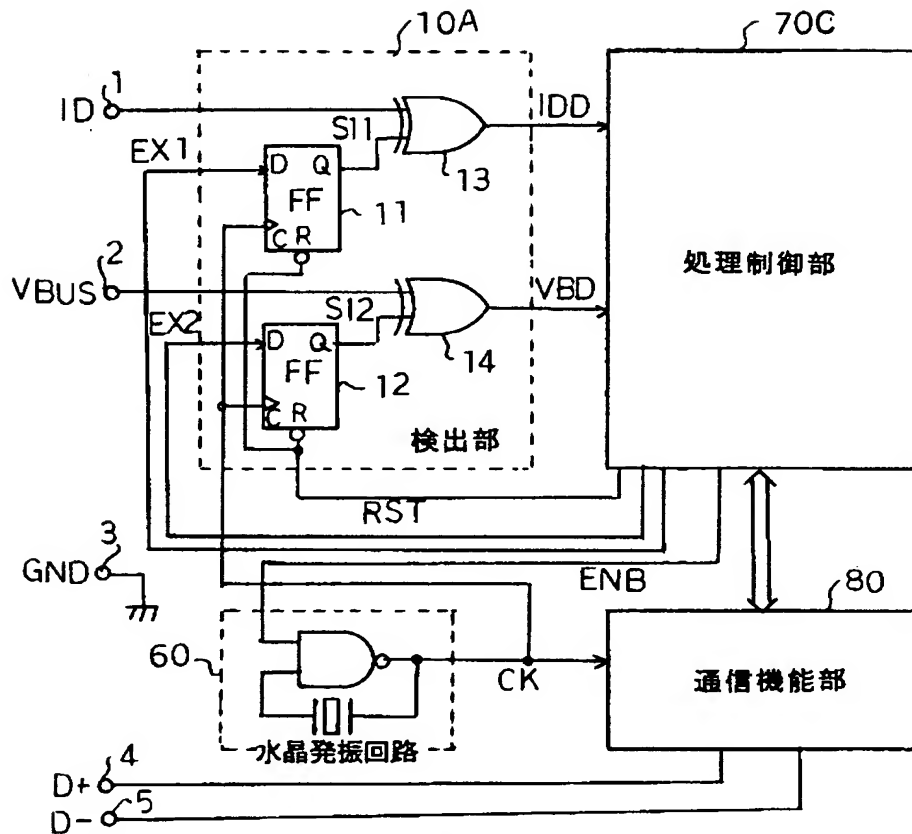


図 5 の動作

【図 7】



本発明の第 4 の実施形態の USB インタフェース回路

【図 8】

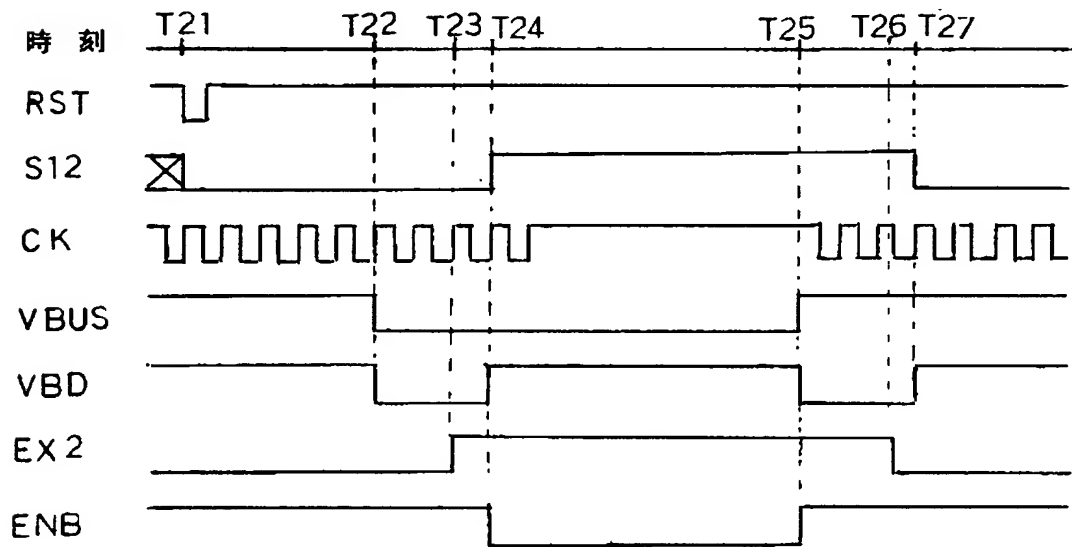
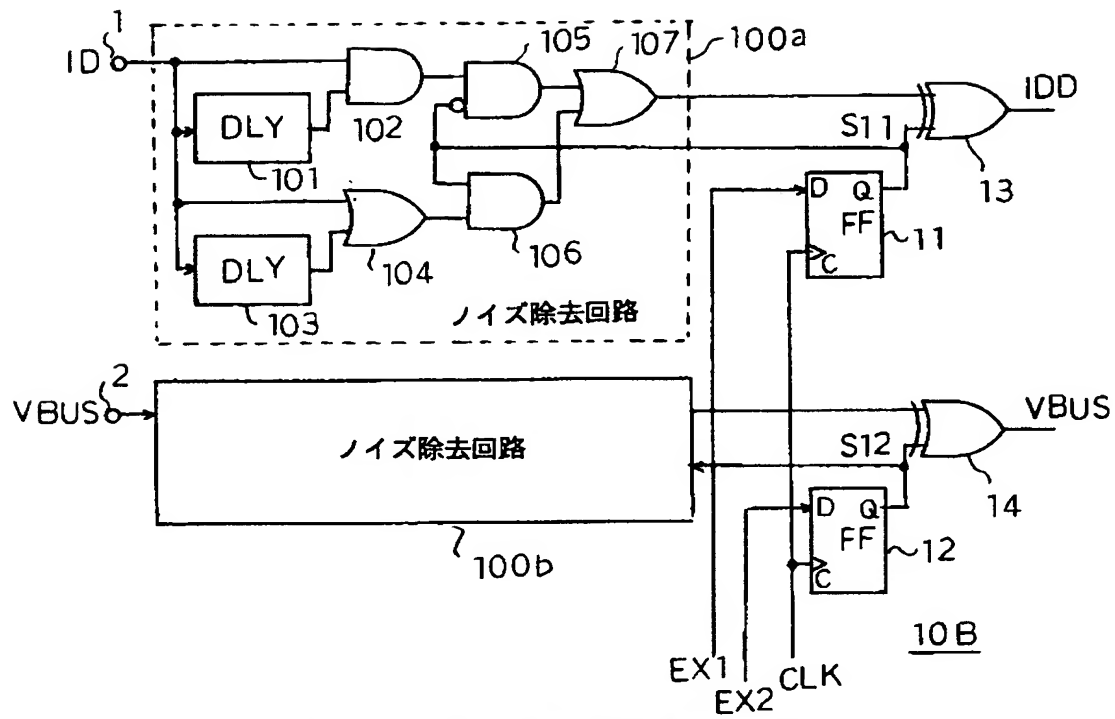


図 7 の動作

【図 9】



本発明の第 5 の実施形態の検出部

【書類名】 要約書

【要約】

【課題】 U S B ・ O T G等のインタフェース回路の低消費電力化を図る。

【解決手段】 C R発振回路 5 0 で生成された低周波のクロック信号 C L Kに従い、検出部 1 0 で信号 V B U S の雑音除去と検出が行われて検出信号 V B D が処理制御部 7 0 に与えられる。検出部 1 0 で検出された信号 V B C は、更に動作許可信号 E N B として水晶発振回路 6 0 に与えられる。これにより、信号 V B U S でデータ通信が指定されている時、水晶発振回路 6 0 が動作して高周波のクロック信号 C K が通信機能部 8 0 に供給され、データ通信が行われる。非通信のときは動作許可信号 E N B が与えられず、水晶発振回路 6 0 は停止する。C R 発振回路 6 0 の消費電力は小さいので、非通信時の消費電力を低減できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [5 9 1 0 4 9 8 9 3]

1. 変更年月日	1 9 9 9 年 6 月 1 7 日
[変更理由]	名称変更
住 所	宮崎県宮崎郡清武町大字木原 7 0 8 3 番地
氏 名	株式会社 沖マイクロデザイン